

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/IB2004/051304

International filing date: 28 July 2004 (28.07.2004)

Document type: Certified copy of priority document

Document details: Country/Office: IB
Number: PCT/IB03/03375
Filing date: 30 July 2003 (30.07.2003)

Date of receipt at the International Bureau: 28 July 2004 (28.07.2004)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse



IB 04/051304

23 July 2004

**WORLD INTELLECTUAL PROPERTY ORGANIZATION
ORGANISATION MONDIALE DE LA PROPRIÉTÉ INTELLECTUELLE**

34, chemin des Colombettes, Case postale 18, CH-1211 Genève 20 (Suisse)
Téléphone: (41 22) 338 91 11 - e-mail: wipo.mail @ wipo.int. - Fac-similé: (41 22) 733 54 28

**PATENT COOPERATION TREATY (PCT)
TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)**

**CERTIFIED COPY OF THE INTERNATIONAL APPLICATION AS FILED
AND OF ANY CORRECTIONS THERETO**

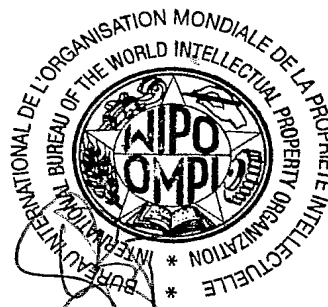
**COPIE CERTIFIÉE CONFORME DE LA DEMANDE INTERNATIONALE, TELLE QU'ELLE
A ÉTÉ DÉPOSÉE, AINSI QUE DE TOUTES CORRECTIONS Y RELATIVES**

International Application No. } PCT/IB20 0 3 / 0 0 3 3 7 5 International Filing Date } 3 0 JULY 2003
Demande internationale n° } Date du dépôt international }
(3 0. 07. 03)

Geneva/Genève, 0 9 AUGUST 2006
(0 9. 08. 06)

**International Bureau of the
World Intellectual Property Organization (WIPO)**

**Bureau International de l'Organisation Mondiale
de la Propriété Intellectuelle (OMPI)**



G. Beijer

Head, PCT Receiving and Processing Section
Chef de la section de la réception et du traitement du PCT

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2003年07月28日 (28. 07. 2003) 月曜日 16時33分58秒

JP030015W0-p

0	受理官庁記入欄	
0-1	国際出願番号	PCT/IB-03 / 03-375
0-2	国際出願日	30 JULY 2003 (30.07.03)
0-3	(受付印)	INTERNATIONAL BUREAU OF WIPO PCT International Application
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 0-4-1 右記によって作成された。	PCT-EASY Version 2.92 (updated 01.07.2003)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	世界知的所有権機関国際事務局 (RO/IB)
0-7	出願人又は代理人の書類記号	JP030015W0-p
I	発明の名称	電圧供給装置 (VOLTAGE SUPPLYING DEVICE)
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	すべての指定国 (all designated States)
II-4ja	名称	コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
II-4en	Name	KONINKLIJKE PHILIPS ELECTRONICS N.V.
II-5ja	あて名:	NL-5621 BA オランダ王国 アインドーフェン フルーネヴァウツウェッハ 1
II-5en	Address:	Groenewoudseweg 1, NL-5621 BA Eindhoven Netherlands
II-6	国籍 (国名)	オランダ王国 NL
II-7	住所 (国名)	オランダ王国 NL
II-8	電話番号	+31 40 27 43 444
II-9	ファクシミリ番号	+31 40 27 43 489
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人である (applicant only)
III-1-2	右の指定国についての出願人である。	AE
III-1-4ja	名称	日本フィリップス株式会社
III-1-4en	Name	PHILIPS JAPAN, LTD.
III-1-5ja	あて名:	108-8507 日本国 東京都 港区 港南2-13-37 フィリップスビル
III-1-5en	Address:	Philips Bldg., 2-13-37, Kohnan, Minato-ku, Tokyo 108-8507 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

JP030015WO-p

原本（出願用） - 印刷日時 2003年07月28日（28. 07. 2003）月曜日 16時33分58秒

III-2 III-2-1 III-2-4j a III-2-4e n III-2-5j a	その他の出願人又は発明者 この欄に記載した者は 氏名(姓名). Name (LAST, First) あて名:	発明者である (inventor only) 永井 肇 NAGAI, Hajime 108-8507 日本国 東京都 港区 港南2-13-37 フィリップスビル 日本フィリップス株式会社内 c/o Philips Japan, Ltd. Philips Bldg., 2-13-37, Kohnan, Minato-ku, Tokyo 108-8507 Japan
III-2-5e n	Address:	
III-3 III-3-1 III-3-4j a III-3-4e n III-3-5j a	その他の出願人又は発明者 この欄に記載した者は 氏名(姓名) Name (LAST, First) あて名:	発明者である (inventor only) 和津田 啓史 WATSUDA, Hirofumi 108-8507 日本国 東京都 港区 港南2-13-37 フィリップスビル 日本フィリップス株式会社内 c/o Philips Japan, Ltd. Philips Bldg., 2-13-37, Kohnan, Minato-ku, Tokyo 108-8507 Japan
III-3-5e n	Address:	
IV-1 IV-1-1ja IV-1-1en IV-1-2ja IV-1-2en IV-1-3 IV-1-4 IV-1-5	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。 氏名(姓名) Name (LAST, First) あて名: Address: 電話番号 ファクシミリ番号 電子メール	代理人 (agent) 青木 宏義 AOKI, Hiroyoshi 108-8507 日本国 東京都 港区 港南2-13-37 フィリップスビル 日本フィリップス株式会社内 c/o Philips Japan, Ltd. Philips Bldg., 2-13-37, Kohnan, Minato-ku, Tokyo 108-8507 Japan +81 3 3740 5019 +81 3 3740 5021 Hiroyoshi.Aoki@philips.com

特許協力条約に基づく国際出願願書

JP030015W0-p

原本（出願用） - 印刷日時 2003年07月28日（28. 07. 2003）月曜日 16時33分58秒


V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	AP: GH GM KE LS MW MZ SD SL SZ TZ UG ZM ZW 及びハラレプロトコルと特許協力条約の締約国であ る他の国 EA: AM AZ BY KG KZ MD RU TJ TM 及びユーラシア特許条約と特許協力条約の締約国で ある他の国 EP: AT BE BG CH&LI CY CZ DE DK EE ES FI FR GB GR HU IE IT LU MC NL PT RO SE SI SK TR 及びヨーロッパ特許条約と特許協力条約の締約国で ある他の国 OA: BF BJ CF CG CI CM GA GN GQ GW ML MR NE SN TD TG 及びアフリカ知的所有権機構と特許協力条約の締約 国である他の国
V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	AE AG AL AM AT AU AZ BA BB BG BR BY BZ CA CH&LI CN CO CR CU CZ DE DK DM DZ EC EE ES FI GB GD GE GH GM HR HU ID IL IN IS JP KE KG KP KR KZ LC LK LR LS LT LU LV MA MD MG MK MN MW MX MZ NI NO NZ OM PG PH PL PT RO RU SC SD SE SG SK SL SY TJ TM TN TR TT TZ UA UG UZ VC VN YU ZA ZM ZW
V-5	指定の確認の宣言 出願人は、上記の指定に加えて 、規則4.9(b)の規定に基づき、 特許協力条約のもとで認められ る他の全ての国の指定を行う。 ただし、V-6欄に示した国の指 定を除く。出願人は、これらの 追加される指定が確認を条件と していること、並びに優先日から 15月が経過する前にその確認 がなされない指定は、この期間 の経過時に、出願人によって取 り下げられたものとみなされる ことを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI	優先権主張	なし (NONE)
VII-1	特定された国際調査機関 (ISA)	ヨーロッパ特許庁 (EPO) (ISA/EP)
VIII	申立て	申立て数
VIII-1	発明者の特定に関する申立て	-
VIII-2	出願し及び特許を与えられる国 際出願日における出願人の資格 に関する申立て	-
VIII-3	先の出願の優先権を主張する国 際出願日における出願人の資格 に関する申立て	-
VIII-4	発明者である旨の申立て (米国 を指定国とする場合)	-
VIII-5	不利にならない開示又は新規性 喪失の例外に関する申立て	-

4/4

特許協力条約に基づく国際出願願書

JP030015WO-p

原本（出願用） - 印刷日時 2003年07月28日（28.07.2003）月曜日 16時33分58秒

IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	4	-
IX-2	明細書	30	-
IX-3	請求の範囲	5	-
IX-4	要約	1	EZABST00.TXT
IX-5	図面	6	-
IX-7	合計	46	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-11	包括委任状の写し	包括委任状番号: GPA 03/0183	-
IX-17	PCT-EASYディスク	-	フレキシブルディスク
IX-19	要約書とともに提示する図の 番号	3	
IX-20	国際出願の使用言語名:	日本語	
X-1	提出者の記名押印	 <i>Hiro Yoshi Aoki</i>	
X-1-1	氏名(姓名)		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	30 JULY 2003 (30.07.03)
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/EP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

明 細 書

電圧供給装置

5 技術分野

本発明は、互いに隣接する一対のラインに電圧を供給する電圧供給装置に関する。

背景技術

- 10 従来より、複数のソースライン群にグループ分けされたソースラインに電圧を供給する電圧供給装置が知られている。

図1は、従来の電圧供給装置100の一例を示す概略構成図である。

- 電圧供給装置100は、複数のソースライン群GS1、GS2、GS3...を備えている。各ソースライン群GS1、GS2、GS3...は、いずれもn本の
- 15 ソースラインLS1乃至LSnから構成されている。また、この電圧供給装置100は、階調電圧出力手段10が出力した階調電圧を複数のソースライン群GS1、GS2、GS3...の各々に供給するために、ビデオライン群GVを備えている。ビデオライン群GVは、n本のビデオラインLV1乃至LVnを有している。ビデオラインLV1は、各ソースライン群GS1、GS2、GS3...
- 20 のソースラインLS1に電圧を供給するためのラインである。同様に、その他のビデオラインLV2、...、LVn-1、LVnは、各ソースライン群GS1、GS2、GS3...のソースラインLS2、...、LSn-1、LSnに電圧を供給するためのラインである。また、電圧供給装置100は、各ソースライン群GS1、GS2、GS3...に対応してスイッチング回路C1、C2、C3...を
- 25 備えている。各スイッチング回路C1、C2、C3...は、いずれも、n本のソースラインLS1乃至LSnに対応してスイッチング素子SW1乃至SWnを

有する。更に、電圧供給装置 100 は、シフトレジスタ 21 を有する。このシフトレジスタ 21 は、クロック信号 CLK に同期して、スイッチング回路 C1、C2、C3、... を制御するための制御信号 S1、S2、S3、... を出力する。

図 2 は、図 1 に示す従来の電圧供給装置 100 のタイミングチャートを示す。

- 5 図 2 の最上段には、1 クロック期間毎に、ビデオライン LV1 乃至 LVn の電圧波形が示されている。この電圧波形には、“GS1”、“GS2”、“GS3” の符号が記入されていることに注意されたい。例えば、例えば時刻 t1 乃至 t2 の期間に、“GS1” という符号が記入されている。これは、時刻 t1 乃至 t2 の期間は、ビデオライン LV1 乃至 LVn の各々に、ソースライン
- 10 群 GS1 に属しているソースライン用の階調電圧が供給されていることを意味する。同様に、時刻 t2 乃至 t3 の期間は、ビデオライン LV1 乃至 LVn の各々に、ソースライン群 GS2 に属しているソースライン用の階調電圧が供給されていることを意味する。このように、ビデオライン LV1 乃至 LVn-1 には、1 クロック期間毎に各ソースライン群用の階調電圧が順次に供給される。
- 15 ビデオライン LV1 乃至 LVn の電圧波形の下にはクロック信号 CLK が示されている。シフトレジスタ 21 が出力する制御信号 S1 は、クロック期間 T1 においてハイレベル電圧を有しており、制御信号 S2 は、制御信号よりも 1 クロック期間遅れた次のクロック期間 T2 においてハイレベル電圧を有している。従って、ソースライン群 GS1 は、時刻 t1 乃至 t2 の期間において、ビ
- 20 デオライン LV1 乃至 LVn に接続されたローインピーダンス状態 LI であり、一方、ソースライン群 GS2 は、時刻 t2 乃至 t3 の期間において、ビデオライン LV1 乃至 LVn に接続されたローインピーダンス状態 LI である。尚、図 2 には示されていないが、ソースライン群 GS3 は、時刻 t3 乃至 t4 の期間において、ビデオライン LV1 乃至 LVn に接続されたローインピーダンス
- 25 状態 LI である。

図 1 に示す電圧供給装置 100 では、時刻 t2 において、スイッチング回路

C 1 がオン状態からオフ状態に変化する一方で、スイッチング回路 C 2 がオフ状態からオン状態に変化する。このように、図 1 に示す電圧供給装置 100 では、スイッチング回路 C 1 のオン状態からオフ状態への切替えと、スイッチング回路 C 2 のオフ状態からオン状態への切替えとが同じタイミングで行われることが前提となっている。従って、ソースライン群 G S 1 のローインピーダンス状態 L I からハイインピーダンス状態 H I への切替えと、ソースライン群 G S 2 のハイインピーダンス状態 H I からローインピーダンス状態 L I への切替えとが同じタイミングで行われることが前提となっている。しかしながら、この切替えのタイミングにずれが生じ、この結果、スイッチこれらの切替えのタイミングにずれが生じ、この結果、スイッチング回路 C 2 がオフ状態からオン状態への切替えを完了する前にスイッチング回路 C 1 がオン状態からオフ状態への切替えを完了するという状況が生じる場合がある。このような状況が生じると、ソースライン群 G S 2 がハイインピーダンス状態 H I からローインピーダンス状態 L I に変化する前に、その隣りのソースライン群 G S 1 がローインピーダンス状態 L I からハイインピーダンス H I に変化する。この場合、ソースライン群 G S 2 がローインピーダンス状態 L I になった時点では、ソースライン群 G S 1 は既にハイインピーダンス状態 H I であるので、ソースライン群 G S 1 への電圧の供給は既に停止されている。従って、ソースライン群 G S 2 がローインピーダンス状態 L I になった瞬間にソースライン群 G S 2 のソースライン L S 1 の電圧が変化する場合、クロストークによって、ソースライン群 G S 1 のソースライン L S n の電圧も変動してしまい、この結果、ソースライン群 G S 1 のソースライン L S n の電圧が元の電圧からずれてしまう。その他のソースライン群に属するソースライン L S n についても同様である。

本発明は、上記の事情に鑑み、互いに隣接するライン間で生じるクロストークによりライン上の電圧が変動してもこのライン上の電圧を元の電圧に戻すことができる電圧供給装置を提供することを目的とする。

発明の開示

上記目的を達成する本発明の電圧供給装置は、互いに隣接する一対の電圧ラインと、上記一対の電圧ラインのうち一方の電圧ラインへの電圧の供給が停止された状態から上記一方の電圧ラインに電圧が供給された状態に遷移する間、
5 上記一対の電圧ラインのうち他方の電圧ラインに電圧を供給し続けるための制御手段とを有することを特徴とする。

一対の電圧ラインが互いに隣接する状況下では、一方の電圧ラインに電圧を供給することによって、この一方の電圧ラインの電圧が変化してしまうと、この電圧の変化が、クロストークによって、他方の電圧ラインの電圧を変動させる場合がある。このような場合であっても、本発明の電圧供給装置では、他方の電圧ラインに電圧が供給され続けているので、この他方の電圧ラインの電圧を瞬時に元の電圧に戻すことが可能となる。
10

また、本発明の電圧供給装置は、第1の中継ラインと、第2の中継ラインと、
15 上記第1の中継ラインを通じて電圧が供給される第1の電圧ラインと、上記第2の中継ラインを通じて電圧が供給される第2の電圧ラインと、上記第2の電圧ラインに隣接し、上記第1の中継ラインを通じて電圧が供給される第3の電圧ラインと、上記第1の電圧ラインに電圧が供給された第1の電圧供給状態から、上記第3の電圧ラインに電圧が供給された第2の電圧供給状態に遷移する
20 間、上記第2の電圧ラインに電圧を供給し続ける制御手段とを有することを特徴とする。

この電圧供給装置では、第1の中継ラインは、第1の電圧ラインだけでなく、第3の電圧ラインにも電圧を供給するために用いられる。このような装置では、第3の電圧ラインに電圧が供給された瞬間に、第3の電圧ラインの電圧が変化
25 してしまうと、この第3の電圧ライン上での電圧の変化が、クロストークによって、隣りの第2の電圧ラインの電圧を変動させる場合がある。このような場

合であっても、本発明の電圧供給装置では、第2の電圧ラインに電圧が供給され続けているので、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことが可能となる。

ここで、本発明の電圧供給装置は、上記制御手段が、上記第1の中継ラインに上記第1の電圧ライン用の電圧を供給した後に上記第3の電圧ライン用の電圧を供給し、上記制御手段が、上記第1の中継ラインに上記第1の電圧ライン用の電圧が供給された状態から上記第1の中継ラインに上記第3の電圧ライン用の電圧が供給された状態に遷移する間、上記第2の中継ラインに上記第2の電圧ライン用の電圧を供給し続けるように構成されることが好ましい。

第2の中継ラインに上記のように第2の電圧ライン用の電圧を供給することによって、第2の電圧ラインには、第2の中継ラインを通じて第2の電圧ライン用の電圧が供給される。従って、第2の電圧ラインと第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧が変動しても、この第2の電圧ライン上の電圧は、瞬時に第2の電圧ライン用の電圧に戻る。

ここで、本発明の電圧供給装置は、上記制御手段が、上記第3の電圧ラインが上記第1の中継ラインから切り離された切断状態を、上記第3の電圧ラインが上記第1の中継ラインに接続された接続状態に切り替えるように構成され、上記制御手段が、上記第3の電圧ラインが上記第1の中継ラインから切り離された切断状態から、上記第3の電圧ラインが上記第1の中継ラインに接続された接続状態に遷移する間、上記第2の中継ラインを通じて上記第2の電圧ラインに電圧を供給し続けるように構成されることができる。

第3の電圧ラインが第1の中継ラインに接続されると、第3の電圧ラインへの電圧の供給が開始される。このとき、第3の電圧ラインに電圧が供給されることによって第3の電圧ライン上の電圧が変化してしまうと、この電圧の変化が、クロストークによって、隣の第2の電圧ラインの電圧を変動させる場合があるが、上記のように第2の電圧ラインに電圧を供給し続けることによって、

この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。

ここで、本発明の電圧供給装置は、上記制御手段が、上記第2の電圧ラインが上記第2の中継ラインから切り離された切断状態を、上記第2の電圧ラインが上記第2の中継ラインに接続された接続状態に切り替えるようにも構成され、

- 5 上記制御手段が、上記第3の電圧ラインが上記第1の中継ラインから切り離された切断状態から、上記第3の電圧ラインが上記第1の中継ラインに接続された接続状態に遷移する間、上記第2の電圧ラインが上記第2の中継ラインに接続された接続状態を保つように構成されることができる。

- 10 上記のように、第2の電圧ラインが第2の中継ラインに接続された接続状態を保つことによって、第2の電圧ラインに電圧が供給される。従って、第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧が変動しても、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。

- ここで、本発明の電圧供給装置は、上記制御手段が、上記第1の電圧ラインが上記第1の中継ラインに接続された接続状態と、上記第1の電圧ラインが上記第1の中継ラインから切り離された切断状態とを含む少なくとも2つの状態
15 の間で切替えを行うための第1のスイッチング手段と、上記第2の電圧ラインが上記第2の中継ラインに接続された接続状態と、上記第2の電圧ラインが上記第2の中継ラインから切り離された切断状態とを含む少なくとも2つの状態の間で切替えを行うための第2のスイッチング手段と、上記第3の電圧ライン
20 が上記第1の中継ラインに接続された接続状態と、上記第3の電圧ラインが上記第1の中継ラインから切り離された切断状態とを含む少なくとも2つの状態の間で切替えを行うための第3のスイッチング手段とを有し、上記制御手段が、上記第1の電圧ラインが上記第1の中継ラインに接続され且つ上記第3の電圧
25 電圧ラインが上記第1の中継ラインから切り離され且つ上記第3の電圧ラインが上記第1の中継ラインに接続された第2の状態に遷移する間、上記第2の電

圧ラインが上記第2の中継ラインに接続された接続状態が保たれるように、上記第1、第2及び第3のスイッチング手段を制御するスイッチング制御手段を有するように構成されることができる。

第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧
5 が変動しても、スイッチング制御手段を用いて第1、第2及び第3のスイッチング手段を上記のように制御することによって、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。

ここで、本発明の電圧供給装置は、上記第1のスイッチング手段が、オン状態において上記第1の電圧ラインを上記第1の中継ラインに接続し、オフ状態
10 において上記第1の電圧ラインを上記第1の中継ラインから切り離し、上記第2のスイッチング手段が、オン状態において上記第2の電圧ラインを上記第2の中継ラインに接続し、オフ状態において上記第2の電圧ラインを上記第2の中継ラインから切り離し、上記第3のスイッチング手段が、オン状態において上記第3の電圧ラインを上記第1の中継ラインに接続し、オフ状態において上
15 記第3の電圧ラインを上記第1の中継ラインから切り離し、上記スイッチング制御手段が、上記第1のスイッチング手段がオン状態からオフ状態に遷移し且つ上記第3のスイッチング手段がオフ状態からオン状態に遷移する間、上記第2のスイッチング手段がオン状態を保つように、上記第1、第2及び第3のスイッチング手段を制御するように構成されることができる。

第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧
20 が変動しても、スイッチング制御手段を用いて第1、第2及び第3のスイッチング手段のオン状態及びオフ状態を上記のように制御することによって、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。

ここで、本発明の電圧供給装置は、上記スイッチング制御手段が、上記第1
25 のスイッチング手段を制御するための第1の制御信号と、上記第2のスイッチング手段を制御するための第2の制御信号と、上記第3のスイッチング手段を

制御するための第3の制御信号とを出力し、上記第1の制御信号は、上記第1のスイッチング手段をオン状態にするための第1のオン電圧とオフ状態にするための第1のオフ電圧とを有し、上記第2の制御信号は、上記第2のスイッチング手段をオン状態にするための第2のオン電圧とオフ状態にするための第2のオフ電圧とを有し、上記第3の制御信号は、上記第3のスイッチング手段をオン状態にするための第3のオン電圧とオフ状態にするための第3のオフ電圧とを有し、上記スイッチング制御手段が、上記第1の制御信号が上記第1のオン電圧から上記第1のオフ電圧に遷移するとき、上記第3の制御信号が上記第3のオフ電圧から上記第3のオン電圧に遷移するように、上記第1及び第3の制御信号を出力し、上記スイッチング制御手段が、更に、上記第3の制御信号が上記第3のオフ電圧から上記第3のオン電圧に遷移する間、上記第2の制御信号が上記第2のオン電圧を有するように上記第2の制御信号を出力するように構成されることができる。

スイッチング制御手段が上記のような第1、第2及び第3の制御信号を出力することによって、第3のスイッチング手段がオフ状態からオン状態に遷移する間、第2のスイッチング手段はオン状態を保つ。従って、第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧が変動しても、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。

ここで、本発明の電圧供給装置は、上記スイッチング手段制御手段が、上記第1の制御信号と上記第3の制御信号との論理和の演算を行い、上記論理和を表す信号を上記第2の制御信号として出力するOR回路を有するように構成されることができる。

このようなOR回路を備えることによって、第3のスイッチング手段がオフ状態からオン状態に遷移する間、第2のスイッチング手段をオン状態に保つための第2の制御信号が生成される。従って、第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧が変動しても、この第2の電圧ライ

ンの電圧を瞬時に元の電圧に戻すことができる。

また、本発明の電圧供給装置は、上記スイッチング手段制御手段が、上記第1の制御信号を遅延させ、上記遅延した第1の制御信号を上記第2の制御信号として出力する遅延回路を有することも好ましい。

- 5 OR回路に代えて第1の制御信号を遅延させる遅延回路を備えても、第3のスイッチング手段がオフ状態からオン状態に遷移する間、第2のスイッチング手段をオン状態に保つための第2の制御信号を生成することができる。従って、第3の電圧ラインとの間のクロストークによって第2の電圧ライン上の電圧が変動しても、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。
- 10 る。

ここで、本発明の電圧供給装置は、上記電圧供給装置が、追加の中継ラインと、上記第1の電圧ラインと上記第2の電圧ラインとを有する第1の電圧ライン群と、上記第3の電圧ラインと上記追加の中継ラインを通じて電圧が供給される第4の電圧ラインとを有する第2の電圧ライン群とを備えてもよい。

- 15 第2の中継ラインが第1の電圧ライン群に属している第2の電圧ラインに電圧を供給するために使用されている間は、この第2の中継ラインを用いて、別の電圧ラインに電圧を供給することができない。このような場合であっても、追加の中継ラインを備えれば、第2の中継ラインを通じて第2の電圧ラインに電圧を供給しながら、この追加の中継ラインを通じて第4の電圧ラインに電圧
- 20 を供給することができる。従って、第2の中継ラインが第1の電圧ライン群に属している第2の電圧ラインに電圧を供給するために使用されている間であっても、第2の電圧ライン群に属している第3及び第4の電圧ラインへの電圧の供給を同時に開始することができる。

- ここで、本発明の電圧供給装置は、上記第4の電圧ラインに隣接し且つ上記
- 25 第1の中継ラインを通じて電圧が供給される第5の電圧供給ラインを有し、上記制御手段が、上記第1の中継ラインを通じて上記第3の電圧ラインに電圧が

供給されている状態から上記第1の中継ラインを通じて上記第5の電圧ラインに電圧が供給されている状態に遷移している間、上記追加の中継ラインを通じて上記第4の電圧ラインに電圧を供給し続けるように構成されることができる。

第1の中継ラインが第3の電圧ラインだけでなく第5の電圧ラインにも電圧を供給するために使用される場合、第5の電圧ラインに電圧を供給するときには、第3の電圧ラインに代わって第5の電圧ラインが第1の中継ラインに接続される。このとき、第5の電圧ラインが第1の中継ラインから電圧が供給された瞬間に第5の電圧ラインの電圧が変化すると、第5の電圧ラインは第4の電圧ラインに隣接しているため、この第4の電圧ラインの電圧がクロストークによって変動することがある。このような場合であっても、上記のように追加の中継ラインを通じて第4の電圧ラインに電圧を供給し続けることによって、この第4の電圧ラインの電圧を瞬時に元の電圧に戻すことができる。

また、本発明の電圧供給装置は、第1の中継ラインと、第2の中継ラインと、上記第1の中継ラインを通じて電圧が供給される第1の電圧ラインと、上記第2の中継ラインを通じて電圧が供給される第2の電圧ラインと、上記第2の電圧ラインに隣接し、上記第1の中継ラインを通じて電圧が供給される第3の電圧ラインと、上記第2の電圧ラインに電圧が供給されている間、上記第1の電圧ラインに電圧が供給された第1の電圧供給状態から、上記第3の電圧ラインに電圧が供給された第2の電圧供給状態に切り替える制御手段とを有することを特徴とする。

この電圧供給装置では、第1の電圧ラインから第3の電圧ラインへの電圧供給の切替えを、第2の電圧ラインに電圧が供給されている間に行っている。この場合、第2の電圧ラインと第3の電圧ラインとの間のクロストークにより第2の電圧ラインの電圧が変動しても、第2の電圧ラインに電圧が供給されているため、この第2の電圧ラインの電圧を瞬時に元の電圧に戻すことが可能となる。

図面の簡単な説明

図 1 は、従来の電圧供給装置 100 の一例を示す概略構成図である。

図 2 は、図 1 に示す従来の電圧供給装置 100 のタイミングチャートを示す。

5 図 3 は、画像表示装置に適用された本発明の第 1 実施形態の電圧供給装置 1 を示す概略構成図である。

図 4 は、図 3 に示す電圧供給装置 1 のタイミングチャートを示す。

図 5 は、画像表示装置に適用された本発明の第 2 実施形態の電圧供給装置 2 を示す概略構成図である。

10 図 6 は、図 5 に示す電圧供給装置 2 のタイミングチャートを示す。

発明を実施するための最良の形態

図 3 は、画像表示装置に適用された本発明の第 1 実施形態の電圧供給装置 1 を示す概略構成図、図 4 は、図 3 に示す電圧供給装置 1 のタイミングチャートを示す。

15 電圧供給装置 1 は、主な構成要素として、階調電圧出力手段 10、ビデオライン群 G V、スイッチング回路 C 1 乃至 C z、ソースライン群 G S 1 乃至 G S z、及びスイッチング回路制御手段 20 を有している。階調電圧出力手段 10 は階調電圧を出力し、この階調電圧をビデオライン群 G V に供給する。ビデオ

20 ライン群 G V に供給された電圧は、スイッチング回路 C 1 乃至 C z を経由して対応するソースライン群 G S 1 乃至 G S z に供給される。ここでは、各ソースライン群 G S 1 乃至 G S z は、いずれも n 本のソースライン L S 1 乃至 L S n から構成されるが、各ソースライン群が有するソースラインの数は異なってもよい。スイッチング回路 C 1 乃至 C z はスイッチング回路制御手段 20 に

25 よって制御される。

以下に、図 3 の電圧供給装置 1 が、どのようにしてソースラインに階調電圧

を供給しているかについて詳細に説明する。

階調電圧出力手段10は、階調電圧発生回路11と階調電圧選択回路12とを有している。階調電圧発生回路11は、電圧レベルの異なる m 個の階調電圧（例えば、64個の階調電圧）を発生し、この発生した m 個の階調電圧を階調

5 電圧選択回路12に出力する。

階調電圧選択回路12は、選択信号 S_{select} に基づいて、ビデオライン群 G_V の各ビデオライン L_{V1} 乃至 L_{Vn+1} に対して、 m 個の階調電圧の中から階調電圧を1つずつ選択し、選択した階調電圧をビデオライン群 G_V に供給する。

尚、階調電圧出力手段10は、ビデオライン群 G_V の各ビデオライン L_{V1} 乃至 L_{Vn+1} に必要な階調電圧を出力することができるのであれば、図3に示す回路構成に限定されることはない。

ビデオライン群 G_V は、各ソースライン群 G_{S1} 乃至 G_{Sz} に階調電圧を供給するために $(n+1)$ 本のビデオライン L_{V1} 乃至 L_{Vn+1} を有している。例えば、各ソースライン群 G_{S1} 乃至 G_{Sz} のソースライン L_{S1} は、ビデオライン L_{V1} を通じて階調電圧が供給される。従って、スイッチング回路 $C1$ 乃至 Cz を制御することによって、1本のビデオライン L_{V1} を用いて、各ソースライン群 G_{S1} 乃至 G_{Sz} のソースライン L_{S1} に階調電圧を供給することができる。ソースライン L_{S2} 乃至 L_{Sn-1} も、ソースライン L_{S1} と同様に考えることができ、同一のビデオライン L_{V2} 乃至 L_{Vn-1} を通じて階調電圧が供給される。このように、ソースライン L_{S1} 乃至 L_{Sn} のうちソースライン L_{S1} 乃至 L_{Sn-1} について考えると、同一の符号が付されているソースラインは、どのソースライン群に属しているかにかかわらず、同一のビデオラインを通じて階調電圧が供給される。しかしながら、ソースライン L_{Sn} は、そのソースライン L_{Sn} がどのソースライン群に属しているかによって、異なるビデオラインから階調電圧が供給されることに注意されたい。この目的のため、ビデオライン群 G_V は、ビデオライン L_{V1} 乃至 L_{Vn-1} の他に、ビデオライン L_{Vn}

- と追加のビデオライン LV_{n+1} を備えている。ビデオライン LV_n は、奇数番目のソースライン群 GS_1 、 GS_3 、...に属するソースライン LS_n に階調電圧を供給するために設けられ、一方、追加のビデオライン LV_{n+1} は、偶数番目のソースライン群 GS_2 、 GS_4 、...に属するソースライン LS_n に階調電圧を供給するために設けられている。ここで、ソースライン群 GS_1 乃至 GS_z の総数が奇数個である偶数個であるかによって、最後のソースライン群 GS_z は、奇数番目にも偶数番目にもなり得ることに注意されたい。最後のソースライン群 GS_z が奇数番目の場合は、最後のソースライン群 GS_z に属するソースライン LS_n は、ビデオライン LV_n から階調電圧が供給され、一方、偶数番目の場合は、追加のビデオライン LV_{n+1} から供給されることになる。ここでは、最後のソースライン群 GS_z が偶数番目のソースライン群であるとして説明を続ける。従って、最後のソースライン群 GS_z に属するソースライン LS_n は、追加のビデオライン LV_{n+1} から階調電圧が供給される。このように、ソースライン LS_n は、他のソースライン LS_1 乃至 LS_{n-1} とは異なり、ビデオライン LV_n 又は LV_{n+1} から電圧が供給される。このことが、図4のタイミングチャートに具体的に示されている。図4の上部には、上から順に、ビデオライン LV_1 乃至 LV_{n-1} の電圧波形、ビデオライン LV_n の電圧波形、及び追加のビデオライン LV_{n+1} の電圧波形が示されている。これらビデオラインの電圧波形には、“ GS_1 ”、“ GS_2 ”、“ GS_3 ”等の符号が記入されていることに注意されたい。例えば、ビデオライン LV_1 乃至 LV_{n-1} の電圧波形には、1クロック期間毎に、“ GS_1 ”、“ GS_2 ”、“ GS_3 ”、“ GS_4 ”、...、“ GS_{z-1} ”、及び“ GS_z ”という符号が記入されている。より具体的には、例えば時刻 t_1 乃至 t_2 の期間に、“ GS_1 ”という符号が記入されている。これは、時刻 t_1 乃至 t_2 の期間は、ビデオライン LV_1 乃至 LV_{n-1} の各々に、ソースライン群 GS_1 に属しているソースライン用の階調電圧が供給されていることを意味する。同様に、時刻 t_z 乃至 t_{z+1} の期間は“ GS_z ”という符号が

記入されているので、ビデオライン LV_1 乃至 LV_{n-1} に、ソースライン群 GS_z に属しているソースライン用の階調電圧が供給されていることを意味する。このように、ビデオライン LV_1 乃至 LV_{n-1} には、1クロック期間毎に各ソースライン群用の階調電圧が順次に供給される。

- 5 これに対して、ビデオライン LV_n (本発明にいう「第2の中継ライン」に相当する) の電圧波形には、2クロック期間毎に、符号“ GS_1 ”、“ GS_3 ”、…、“ GS_{z-1} ” が記入されている。より具体的には、例えば時刻 t_1 乃至 t_3 の期間に“ GS_1 ”という符号が記入されている。これは、時刻 t_1 乃至 t_3 の期間は、ビデオライン LV_n に、ソースライン群 GS_1 に属しているソースライン
- 10 LS_n 用の階調電圧が供給されていることを意味する。同様に、時刻 t_{z-1} 乃至 t_{z+1} の期間は“ GS_{z-1} ”という符号が記入されているので、ビデオライン LV_n に、ソースライン群 GS_{z-1} に属しているソースライン LS_n 用の階調電圧が供給されていることを意味する。このように、ビデオライン LV_n には、2クロック期間毎に奇数番目のソースライン群に属しているソースライン LS_n 用
- 15 の階調電圧が順次に供給される。

- 一方、追加のビデオライン LV_{n+1} (本発明にいう「追加の中継ライン」に相当する) の電圧波形には、符号“ GS_2 ”、“ GS_4 ”、…、“ GS_{z-2} ” 及び“ GS_z ” が記入されているので、偶数番目のソースライン群に属しているソースライン LS_n 用の階調電圧が順次に供給されている。追加のビデオライ
- 20 ン LV_{n+1} には、ビデオライン LV_n に対して1クロック期間遅れたタイミングで電圧が供給されている。また、追加のビデオライン LV_{n+1} には、基本的には、ビデオライン LV_n と同様に、2クロック期間毎に階調電圧が供給される。しかしながら、追加のビデオライン LV_{n+1} の電圧波形の最後に記入されている符号
- 25 “ GS_z ” は時刻 t_z 乃至 t_{z+1} の期間 (即ち、1クロック期間) にのみ記入されていることに注意されたい。従って、追加のビデオライン LV_{n+1} には、ソースライン群 GS_z に属しているソースライン LS_n 用の階調電圧が、1クロッ

ク期間だけ供給されることになる。

また、電圧供給装置 1 は、 z 個のソースライン群 GS_1 乃至 GS_z に対応して、 z 個のスイッチング回路 C_1 乃至 C_z を備えている。各スイッチング回路 C_1 乃至 C_z は、対応するソースライン群をビデオライン群 GV に接続する又はビデオライン群 GV から切り離すための切替え動作を行う。この切替え動作を行うために、各スイッチング回路 C_1 乃至 C_z は、 n 本のソースライン LS_1 乃至 LS_n に対応して n 個のスイッチング素子 SW_1 乃至 SW_n を有している。各スイッチング素子は、ローレベル電圧に応答してオフ状態となり、ハイレベル電圧に応答してオン状態となる。このようなスイッチング素子を有する各スイッチング回路 C_1 乃至 C_z は、ソースライン LS_1 乃至 LS_n のうちのソースライン LS_1 乃至 LS_{n-1} を、ビデオライン LV_1 乃至 LV_{n-1} に接続する。しかしながら、奇数番目のスイッチング回路 C_1 、 C_3 、 \dots は、対応するソースライン LS_n をビデオライン LV_n に接続し、偶数番目のスイッチング回路 C_2 、 C_4 、 \dots は、対応するソースライン LS_n をビデオライン LV_n ではなく追加のビデオライン LV_{n+1} に接続することに注意されたい。

電圧供給装置 1 は、スイッチング回路 C_1 乃至 C_z を上記のように駆動するためにスイッチング回路制御手段 20 を備えている。このスイッチング回路制御手段 20 は、シフトレジスタ 21 を有する。このシフトレジスタ 21 は、各スイッチング回路 C_1 乃至 C_z に対応して D フリップフロップ FF_1 乃至 FF_z を有している。これら D フリップフロップ FF_1 乃至 FF_z は縦続接続されている。これら D フリップフロップ FF_1 乃至 FF_z のうちの最前段の D フリップフロップ FF_1 には、キャリー信号 $Carry$ が入力される。このキャリー信号 $Carry$ は、クロック信号 CLK のパルス P_0 の立下りに同期してローレベル電圧からハイレベル電圧に変化し、次のパルス P_1 の立下りに同期してハイレベル電圧からローレベル電圧に変化する。クロック信号 CLK のパルス P_1 は、キャリー信号 $Carry$ がハイレベル電圧の間に立ち上がるので、パルス P_1 の立上り

エッジに同期して、最前段のDフリップフロップFF 1はキャリー信号Carryのハイレベル電圧を取り込んで出力する。DフリップフロップFF 1から出力されたハイレベル電圧は、次段のDフリップフロップFF 2の入力信号として出力されるとともにスイッチング回路C 1の制御信号S 1としても出力される。

- 5 次のパルスP 2の立上り時刻 t_2 において、キャリー信号Carryはローレベル電圧であるので、最前段のDフリップフロップFF 1はそのローレベル電圧を取り込んで、次段のDフリップフロップFF 2及びスイッチング回路C 1に出力する。従って、DフリップフロップFF 1から出力される信号は、時刻 t_1 乃至 t_2 の期間、ハイレベル電圧を保ち、時刻 t_2 以降は、Dフリップフロップ
- 10 FF 1に新たなハイレベル電圧が取り込まれるまで、ローレベル電圧を保つ。DフリップフロップFF 2乃至FF z は、クロック信号CLKのパルスに同期して、最前段のDフリップフロップFF 1から出力された信号を1クロック期間ずつ遅らせて出力する。各DフリップフロップFF 2乃至FF z から出力された信号は、最前段のDフリップフロップFF 1から出力された信号と同様に、
- 15 制御信号S 2乃至S z として、対応するスイッチング回路C 2乃至C z に供給される。

- このようにして各DフリップフロップFF 1乃至FF z から出力された信号は、制御信号S 1乃至S z として、対応するスイッチング回路C 1乃至C z に供給される。制御信号S 1乃至S z のうちの制御信号S z は、スイッチング回路
- 20 路C z を構成する n 個のスイッチング素子SW 1乃至SW n を全て制御するための信号である。しかしながら、その他の制御信号S 1乃至S $z-1$ は、対応するスイッチング回路を構成する n 個のスイッチング素子SW 1乃至SW n を全て制御するのではなく、 $n-1$ 個のスイッチング素子SW 1乃至SW $n-1$ を制御することに注意されたい。例えば、制御信号S 1は、対応するスイッチング回路
 - 25 C 1を構成する n 個のスイッチング素子SW 1乃至SW n を全て制御するのではなく、 $n-1$ 個のスイッチング素子SW 1乃至SW $n-1$ を制御する。他の制御

信号 S_2 乃至 S_{z-1} も同様である。つまり、制御信号 S_1 乃至 S_{z-1} は、対応するスイッチング回路に属する $n-1$ 個のスイッチング素子 SW_1 乃至 SW_{n-1} を制御できるが、スイッチング素子 SW_n を制御できないことに注意されたい。制御信号 S_1 乃至 S_{z-1} が制御できないスイッチング素子 SW_n を制御する目

- 5 的で、スイッチング回路制御手段 20 は、シフトレジスタ 21 だけでなく、
 (z-1) 個のスイッチング回路 C_1 乃至 C_{z-1} に対応して (z-1) 個の OR 回路 22_1 乃至 22_z-1 を有している (図 3 には、OR 回路 22_1 及び 22_2 は示されているが、その他の OR 回路は図示省略されている)。OR 回路 22_1 は、
 対応するスイッチング回路 C_1 に入力される制御信号 S_1 とその隣りのスイッチング回路 C_2 に入力される制御信号 S_2 との論理和を表す OR 信号を制御信号 S_1' として出力する。この制御信号 S_1' によってスイッチング回路 C_1 のスイッチング素子 SW_n の開閉が行われる。その他の OR 回路 22_2 乃至 22_z-1 も同様のやり方で、対応するスイッチング回路 C_2 乃至 C_{z-1} のスイッチング素子 SW_n の開閉を行うための制御信号 S_2' 乃至 S_{z-1}' を出力する。
 15 次に、上記のように構成された電圧供給装置 1 の動作について、図 3 及び図 4 を参照しながら説明する。

- この電圧供給装置 1 は、まず、ソースライン群 GS_1 のソースライン LS_1 乃至 LS_{n-1} に階調電圧を供給するために、時刻 t_1 乃至 t_2 の期間、対応する階調電圧をビデオライン LV_1 乃至 LV_{n-1} に供給する。また、電圧供給装置 1
 20 は、ソースライン群 GS_1 のソースライン LS_n に階調電圧を供給するために、時刻 t_1 乃至 t_3 の期間、対応する階調電圧をビデオライン LV_n に供給する。

- D フリップフロップ FF_1 は、クロック信号 CLK のパルス P_1 の立ち上がり
 に同期して、キャリー信号 $Carry$ のハイレベル電圧を取り込み、次のパルス P_2 が立ち上がるまで、ハイレベル電圧を出力し続ける。従って、時刻 t_1 乃至 t_2 の期間、制御信号 S_1 はハイレベル電圧を有し、この結果、スイッチング回路 C_1 のスイッチング素子 SW_1 乃至 SW_{n-1} はオン状態になる。ソースラ
 25

- イン群GS1のソースラインLS1乃至LSn-1は、このオン状態のスイッチング素子SW1乃至SWn-1を通じてビデオラインLV1乃至LVn-1に接続されたローインピーダンス状態LIになる（図4参照）。従って、ソースライン群GS1のソースラインLS1乃至LSn-1は、ビデオラインLV1乃至LVn-1から対応する階調電圧が供給される。この制御信号S1は、スイッチング回路C1だけでなくOR回路22_1にも入力される。OR回路22_1は制御信号S1だけでなく制御信号S2も入力されるが、制御信号S1がハイレベル電圧である場合、制御信号S2の電圧レベルとは無関係に、OR回路22_1はハイレベル電圧を出力する。従って、制御信号S1'は、時刻t1乃至t2の期間、ハイレベル電圧を有し、この結果、スイッチング回路C1のスイッチング素子SW1乃至SWn-1だけでなく、スイッチング素子SWnもオン状態になる。従って、ソースライン群GS1のソースラインLSnも、スイッチング回路C1のスイッチング素子SWnを通じてビデオラインLVnに接続されたローインピーダンス状態LIになり、ビデオラインLVnから対応する階調電圧が供給される。

- 即ち、時刻t1乃至t2の期間、スイッチング回路C1の全てのスイッチング素子SW1乃至SWnを通じて、ビデオラインLV1乃至LVnからソースライン群GS1の全てのソースラインLS1乃至LSnに、対応する階調電圧が供給される。尚、その他のスイッチング回路C2乃至Czでは、全てのスイッチング素子がオフ状態であるので、ソースライン群GS1用の階調電圧が他のソースライン群GS2乃至GSzに供給されることは無い。

- 次に、ソースライン群GS2のソースラインLS1乃至LSn-1に階調電圧を供給するために、時刻t2乃至t3の期間、ビデオラインLV1乃至LVn-1に、ソースライン群GS2用の階調電圧が供給される。従って、ビデオラインLV1乃至LVn-1には、時刻t1乃至t2において、ソースライン群GS1用の階調電圧が供給されるが、時刻t2乃至t3において、ソースライン群GS2用

の階調電圧が供給される。しかしながら、ビデオライン $L V_n$ には、時刻 t_1 乃至 t_2 の期間だけでなく、時刻 t_2 乃至 t_3 の期間にもソースライン群 $G S_1$ に属するソースライン $L S_n$ 用の階調電圧が供給されることに注意されたい。この理由については後述する。

- 5 また、時刻 t_2 において、制御信号 S_1 はハイレベル電圧からローレベル電圧に変化するので、スイッチング回路 C_1 のスイッチング素子 SW_1 乃至 SW_{n-1} はオン状態からオフ状態に変化する。従って、ソースライン群 $G S_1$ のソースライン $L S_1$ 乃至 $L S_{n-1}$ は、ビデオライン $L V_1$ 乃至 $L V_{n-1}$ から切り離されたハイインピーダンス状態 $H I$ になる。この結果、時刻 t_2 乃至 t_3 の期間
- 10 にビデオライン $L V_1$ 乃至 $L V_{n-1}$ に供給されているソースライン群 $G S_2$ 用の階調電圧が、ソースライン群 $G S_1$ のソースライン $L S_1$ 乃至 $L S_{n-1}$ に供給されることが防止される。

- また、時刻 t_2 において、制御信号 S_2 がローレベル電圧からハイレベル電圧に変化するので、スイッチング回路 C_2 のスイッチング素子 SW_1 乃至 SW_{n-1} はオフ状態からオン状態に変化する。ソースライン群 $G S_2$ のソースライン
- 15 $L S_1$ 乃至 $L S_{n-1}$ は、このオン状態のスイッチング素子 SW_1 乃至 SW_{n-1} を通じてビデオライン $L V_1$ 乃至 $L V_{n-1}$ に接続されたローインピーダンス状態 $L I$ になる。従って、ソースライン群 $G S_2$ のソースライン $L S_1$ 乃至 $L S_{n-1}$ は、ビデオライン $L V_1$ 乃至 $L V_{n-1}$ から対応する階調電圧が供給される。

- 20 ここで、時刻 t_2 において、制御信号 S_1 はハイレベル電圧からローレベル電圧に変化するが、制御信号 S_2 はローレベル電圧からハイレベル電圧に変化することに注意されたい。制御信号 S_1 及び S_2 がこのように変化するので、OR回路 22_1 から出力される制御信号 S_1' は、時刻 t_1 乃至 t_3 を通じてハイレベル電圧を保ち、この結果、スイッチング回路 C_1 のスイッチング素子
- 25 SW_n は時刻 t_1 乃至 t_3 を通じてオン状態を保つ。従って、スイッチング回路 C_1 のスイッチング素子 SW_1 乃至 SW_{n-1} は時刻 t_2 以降はオフ状態であ

- るのに対し、スイッチング回路C1のスイッチング素子SW_nは時刻t₂を経過しても、時刻t₃まではオン状態を保つ。この結果、ソースライン群GS1のソースラインLS_nは、時刻t₁乃至t₃の期間にわたって、ビデオラインLV_nに接続されたローインピーダンス状態LIになる。従って、ソースライン
- 5 群GS1のソースラインLS_nは、時刻t₁乃至t₃の期間にわたって、ビデオラインLV_nから対応する階調電圧が供給される。つまり、ソースライン群GS2のソースラインLS1が、時刻t₂において、ハイインピーダンス状態HIからローインピーダンス状態LIに完全に切り替わるまでの間、ソースライン群GS1のソースラインLS_nにはビデオラインLV_nから対応する階調
- 10 電圧が供給され続けている。従って、ソースライン群GS2のソースラインLS1がローインピーダンス状態LIになった瞬間に（時刻t₂）、クロストークによってソースライン群GS1のソースラインLS_nの電圧が変動しても、ソースライン群GS1のソースラインLS_nの電圧は、瞬時に元の階調電圧に戻る。このように、ソースライン群GS1のソースラインLS_nに階調電圧が供給
- 15 されている間に、ソースライン群GS2のソースラインLS1をハイインピーダンス状態HIからローインピーダンス状態LIに切り替えることによって、クロストークによる画像劣化が防止される。

- ここで、図3に示す電圧供給装置1では、クロストークによる画像劣化を防止するために、ビデオラインLV_nには、時刻t₁乃至t₂の期間だけでなく、
- 20 時刻t₂乃至t₃の間も、ソースライン群GS1に属するソースラインLS_n用の階調電圧が供給されていることに注意されたい。このため、時刻t₂乃至t₃の期間に、ビデオラインLV_nから、ソースライン群GS2に属するソースラインLS_nに階調電圧を供給することができない。そこで、図3に示す電圧供給装置1は、n本のビデオラインLV1乃至LV_nだけでなく、追加の
- 25 ビデオラインLV_{n+1}を備えている。ビデオラインLV_nには奇数番目のソースライン群GS1、GS3、…に属するソースラインLS_n用の階調電圧が供

給されるが、この追加のビデオライン LV_{n+1} には偶数番目のソースライン群 GS_2 、 GS_4 、...に属するソースライン LS_n 用の階調電圧が供給される。

この追加のビデオライン LV_{n+1} には、時刻 t_2 乃至 t_4 の期間、ソースライン群 GS_2 に属するソースライン LS_n 用の階調電圧が供給される。また、時刻 t_2 乃至 t_3 の期間、制御信号 S_2 はハイレベル電圧であるのでOR回路 2_2 から出力される制御信号 S_2' はハイレベル電圧である。この結果、スイッチング回路 C_2 では、スイッチング素子 SW_1 乃至 SW_{n-1} だけでなく、スイッチング素子 SW_n も閉じた状態になる。従って、ソースライン群 GS_2 のソースライン LS_n は、追加のビデオライン LV_{n+1} に接続されたローインピーダンス状態 LI になり、追加のビデオライン LV_{n+1} から対応する階調電圧が供給される。

また、ソースライン群 GS_3 のソースライン LS_1 乃至 LS_n に階調電圧を供給する目的で、時刻 t_3 乃至 t_4 の期間、ビデオライン LV_1 乃至 LV_{n-1} に、ソースライン群 GS_3 のソースライン用の階調電圧が供給され、時刻 t_3 乃至 t_5 の期間、ビデオライン LV_n にソースライン群 GS_3 のソースライン LS_n 用の階調電圧が供給される。

時刻 t_3 において、制御信号 S_2 はハイレベル電圧からローレベル電圧に変化するので、スイッチング回路 C_2 のスイッチング素子 SW_1 乃至 SW_{n-1} はオン状態からオフ状態に変化する。従って、ソースライン群 GS_2 のソースライン LS_1 乃至 LS_{n-1} は、ビデオライン LV_1 乃至 LV_{n-1} から切り離されたハイインピーダンス状態 HI になる。この結果、時刻 t_3 乃至 t_4 の期間にビデオライン LV_1 乃至 LV_{n-1} に供給されているソースライン群 GS_3 用の階調電圧が、ソースライン群 GS_2 のソースライン LS_1 乃至 LS_{n-1} に供給されることが防止される。

また、時刻 t_3 において、制御信号 S_1' もハイレベル電圧からローレベル電圧に変化するので、スイッチング回路 C_1 のスイッチング素子 SW_n はオン

状態からオフ状態に変化する。従って、ソースライン群GS1のソースラインLS_nは、ビデオラインLV_nから切り離されたハイインピーダンス状態HIになる。この結果、時刻t3乃至t5の期間にビデオラインLV_nに供給されているソースライン群GS3用の階調電圧が、ソースライン群GS1のソース

5 ラインLS_nに供給されることが防止される。

ここで、時刻t3において、制御信号S2はハイレベル電圧からローレベル電圧に変化するが、制御信号S3はローレベル電圧からハイレベル電圧に変化することに注意されたい。制御信号S2及びS3がこのように変化するので、OR回路22_2から出力される制御信号S2'は、時刻t2乃至t3の期間だ

10 けでなく、時刻t3乃至t4の期間もハイレベル電圧を保つ。この結果、スイッチング回路C2のスイッチング素子SW_nは時刻t2乃至t4の期間オン状態を保つので、ソースライン群GS2のソースラインLS_nは、時刻t2乃至t4の期間にわたって、追加のビデオラインLV_{n+1}に接続されたローインピーダンス状態LIを保つ。従って、ソースライン群GS2のソースラインLS_nは、

15 時刻t2乃至t4の期間にわたって、追加のビデオラインLV_{n+1}から対応する階調電圧が供給され続ける。このため、クロストークによってソースライン群GS2のソースラインLS_nの電圧が変動しても、ソースライン群GS2のソースラインLS_nの電圧は、瞬時に元の階調電圧に戻り、クロストークによる画像劣化が防止される。

20 以下、他のソースライン群GS3乃至GS_{z-1}にも、同様のやり方で対応する階調電圧が供給される。従って、隣接するソースライン群の間でのクロストークによる画像劣化が防止される。

尚、最後のソースライン群GS_zは、他のソースライン群GS1乃至GS_{z-1}と異なって、クロストークの原因となるソースライン群は存在しない。従って、

25 最後のソースライン群GS_zのソースラインLS_nには、対応する階調電圧を2クロック期間に渡って供給する必要が無い。このような理由から、最後のソ

ソースライン群 GS_z では、ソースライン LS_1 乃至 LS_{n-1} だけでなく、ソースライン LS_n にも、対応する階調電圧が1クロック期間だけ供給される。この目的のため、追加のビデオライン LV_{n+1} には、ソースライン群 GS_z に属するソースライン LS_n 用の階調電圧が、時刻 t_z 乃至 t_{z+1} の期間（即ち、1クロック期間）だけ供給され、更に、シフトレジスタ21の最後段のDフリップフロップ FF_z から出力される制御信号 S_z が、スイッチング回路 C_z のスイッチング素子 SW_1 乃至 SW_{n-1} だけでなくスイッチング素子 SW_n の制御も行っている。このような制御信号 S_z でスイッチング回路 C_z を制御することによって、最後のソースライン群 GS_z に属する n 本のソースライン LS_1 乃至 LS_n に、1クロック期間だけ階調電圧を供給することができる。

また、図3の電圧供給装置1では、2本のビデオライン LV_n 及び LV_{n+1} を使用して、各ソースライン群のソースライン LS_n に階調電圧を供給している。しかしながら、3本以上のビデオラインを使用して各ソースライン群のソースライン LS_n に階調電圧を供給してもよい。

また、図3の電圧供給装置1では、シフトレジスタ21から出力される2つの制御信号を利用してスイッチング素子 SW_n を制御するための制御信号 S_1' 、 S_2' 、...を生成している。しかしながら、これら制御信号 S_1' 、 S_2' 、...は、シフトレジスタ21から出力される信号を利用して生成する必要は無い。スイッチング素子 SW_n をその他のスイッチング素子 SW_1 乃至 SW_{n-1} に対して独立に制御できるのであれば、スイッチング素子 SW_n を制御するための制御信号 S_1' 、 S_2' 、...は、どのようなやり方で生成してもよい。

図5は、画像表示装置に適用された本発明の第2実施形態の電圧供給装置2を示す概略構成図、図6は、図5に示す電圧供給装置2のタイミングチャートを示す。

図5及び図6の説明に当たっては、図3及び図4との相違点を主に説明する。図5に示す電圧供給装置2と図3に示す電圧供給装置1との構成要素上の相

違点は、図5の電圧供給装置2は、図3の電圧供給装置1が備えている追加のビデオライン LV_{n+1} を備えていない点と、図5の電圧供給装置2のビデオライン LV_n が全てのソースライン群のソースライン LS_n に階調電圧を供給するように構成されている点と、図5の電圧供給装置2が、図3の電圧供給装置1が備えているスイッチング回路制御手段20とは異なる構成のスイッチング回路制御手段200を備えている点である。

ビデオライン LV_n は、他のビデオライン LV_1 乃至 LV_{n-1} とは異なるタイミングで電圧が供給される。このことが、図6のタイミングチャートに具体的に示されている。図4の上部には、上から順に、ビデオライン LV_1 乃至 LV_{n-1} の電圧波形及びビデオライン LV_n の電圧波形が示されている。これらビデオラインの電圧波形には、“GS1”、“GS2”、“GS3”等の符号が記入されていることに注意されたい。例えば、ビデオライン LV_1 乃至 LV_{n-1} の電圧波形には、1クロック期間毎に、“GS1”、“GS2”、“GS3”、…、“GS z ”という符号が記入されている。より具体的には、例えば時刻 t_1 乃至 t_2 の期間に、“GS1”という符号が記入されている。これは、時刻 t_1 乃至 t_2 の期間は、ビデオライン LV_1 乃至 LV_{n-1} の各々に、ソースライン群GS1に属しているソースライン用の階調電圧が供給されていることを意味する。同様に、時刻 t_z 乃至 t_{z+1} の期間は“GS z ”という符号が記入されているので、ビデオライン LV_1 乃至 LV_{n-1} に、ソースライン群GS z に属しているソースライン用の階調電圧が供給されていることを意味する。このように、ビデオライン LV_1 乃至 LV_{n-1} には、1クロック期間毎に各ソースライン群用の階調電圧が順次供給される。

一方、ビデオライン LV_n の電圧波形にも、符号“GS1”、“GS2”、“GS3”…、“GS z ”が記入されている。従って、ビデオライン LV_n には、各ソースライン群のソースライン LS_n 用の階調電圧が順次供給される。しかしながら、ビデオライン LV_n には、ビデオライン LV_1 乃至 LV_{n-1} よりも

遅延期間 P_d だけ遅れて、対応する階調電圧が供給されることに注意されたい。

スイッチング回路制御手段 200 は、図 3 に示すシフトレジスタ 21 と同一構造のシフトレジスタ 201 を備えている。シフトレジスタ 201 から出力された制御信号 S_1 乃至 S_z は、対応するスイッチング回路 C_1 乃至 C_z に供給
5 される。制御信号 S_1 乃至 S_z は、対応するスイッチング回路 C_1 乃至 C_z を構成する n 個のスイッチング素子 SW_1 乃至 SW_n を全て制御するのではなく、 $n-1$ 個のスイッチング素子 SW_1 乃至 SW_{n-1} を制御することに注意されたい。例えば、制御信号 S_1 は、対応するスイッチング回路 C_1 を構成する n 個のスイッチング素子 SW_1 乃至 SW_n を全て制御するのではなく、 $n-1$ 個の
10 スwitchング素子 SW_1 乃至 SW_{n-1} を制御する。他の制御信号 S_2 乃至 S_z も同様である。つまり、制御信号 S_1 乃至 S_z は、対応するスイッチング回路に属する $n-1$ 個のスイッチング素子 SW_1 乃至 SW_{n-1} を制御できるが、スイッチング素子 SW_n は制御できないことに注意されたい。制御信号 S_1 乃至 S_z が制御できないスイッチング素子 SW_n を制御する目的で、このスイッチング回
15 路制御手段 200 は、 z 個のスイッチング回路 C_1 乃至 C_z に対応して z 個の遅延回路 202_1 乃至 202_z を有している。（図 6 には、遅延回路 202_1、202_2 及び 202_z は示されているが、その他の遅延回路は図示省略されている）。遅延回路 202_1 は、対応するスイッチング回路 C_1 に入力される制御信号 S_1 を遅延させ、この遅延した制御信号 S_1 を別の制御信号 S_1'
20 として出力する。この制御信号 S_1' によってスイッチング回路 C_1 のスイッチング素子 SW_n の開閉が行われる。その他の遅延回路 202_2 乃至 202_z も同様のやり方で、対応するスイッチング回路 C_2 乃至 C_z のスイッチング素子 SW_n の開閉を行うための制御信号 S_2' 乃至 S_z' を出力する。

以下に、電圧供給装置 2 の動作について説明する。

25 電圧供給装置 2 は、先ず、ソースライン群 GS_1 のソースライン LS_1 乃至 LS_{n-1} に階調電圧を供給するために、時刻 t_1 乃至 t_2 の期間、対応する階調

電圧をビデオラインLV1乃至LVn-1に供給する。また、電圧供給装置2は、ソースライン群GS1のソースラインLSnにも階調電圧を供給するために、対応する階調電圧をビデオラインLVnに供給するが、ビデオラインLVnには、ビデオラインLV1乃至LVn-1よりも遅延期間Pdだけ遅れて、対応する階調

5 電圧が供給されることに注意されたい。

DフリップフロップFF1は、パルスP1の立ち上がり同期して、キャリア一信号Carryのハイレベル電圧を取り込み、次のパルスP2の立ち上がるまで、ハイレベル電圧を出力し続ける。従って、時刻t1乃至t2の期間、制御信号S1はハイレベル電圧を有し、この結果、スイッチング回路C1のスイッチング素子SW1乃至SWn-1はオン状態になる。ソースライン群GS1のソースラインLS1乃至LSn-1は、このオン状態のスイッチング素子SW1乃至SWn-1を通じてビデオラインLV1乃至LVn-1に接続されたローインピーダンス状態LIになる(図6参照)。従って、ソースライン群GS1のソースラインLS1乃至LSn-1は、ビデオラインLV1乃至LVn-1から対応する階調電圧

10 が供給される。この制御信号S1は、スイッチング回路C1だけでなく遅延回路202_1にも入力される。この遅延回路202_1は、制御信号を遅延期間Pdだけ遅延させ、この遅延した制御信号S1を制御信号S1'として出力する。従って、スイッチング素子SWnは、スイッチング素子SW1乃至SWn-1よりも遅延期間Pdだけ遅れてオン状態になり、この結果、ソースライン群GS1のソースラインLSnは、ソースライン群GS1のソースラインLS1乃至LSn-1よりも、遅延期間Pdだけ遅れてローインピーダンス状態LIになる(図6参照)。

15 20

次に、ソースライン群GS2のソースラインLS1乃至LSn-1に階調電圧を供給するために、時刻t2乃至t3の期間、ビデオラインLV1乃至LVn-1に、

25 対応する階調電圧を供給する。従って、ビデオラインLV1乃至LVn-1には、時刻t1乃至t2において、ソースライン群GS1用の階調電圧が供給される

が、時刻 t_2 乃至 t_3 において、隣のソースライン群 GS_2 用の階調電圧が供給される。しかしながら、ビデオライン LV_n には、時刻 t_2 よりも遅延期間 P_d だけ遅い時刻 t_2' までソースライン群 GS_1 に属するソースライン LS_n 用の階調電圧が供給されることに注意されたい。この理由については後述

5 する。

また、時刻 t_2 において、制御信号 S_1 はハイレベル電圧からローレベル電圧に変化するので、スイッチング回路 C_1 のスイッチング素子 SW_1 乃至 SW_{n-1} はオン状態からオフ状態に変化する。従って、ソースライン群 GS_1 のソースライン LS_1 乃至 LS_{n-1} は、ビデオライン LV_1 乃至 LV_{n-1} から切り離されたハイインピーダンス状態 HI になる。この結果、時刻 t_2 乃至 t_3 の期間にビデオライン LV_1 乃至 LV_{n-1} に供給されているソースライン群 GS_2 用の階調電圧が、ソースライン群 GS_1 のソースライン LS_1 乃至 LS_{n-1} に供給されることが防止される。

また、時刻 t_2 において、制御信号 S_2 がローレベル電圧からハイレベル電圧に変化するので、スイッチング回路 C_2 のスイッチング素子 SW_1 乃至 SW_{n-1} はオフ状態からオン状態に変化する。ソースライン群 GS_2 のソースライン LS_1 乃至 LS_{n-1} は、オン状態のスイッチング素子 SW_1 乃至 SW_{n-1} を通じてビデオライン LV_1 乃至 LV_{n-1} に接続されたローインピーダンス状態 LI になる。従って、ソースライン群 GS_2 のソースライン LS_1 乃至 LS_{n-1} は、ビデオライン LV_1 乃至 LV_{n-1} から対応する階調電圧が供給される。

ここで、時刻 t_2 において、制御信号 S_2 はローレベル電圧からハイレベル電圧に変化するが、遅延信号 S_1' は時刻 t_2 よりも遅延期間 P_d だけ遅れて、ハイレベル電圧からローレベル電圧に変化することに注意されたい。従って、スイッチング回路 C_1 のスイッチング素子 SW_n は、時刻 t_2 を経過しても時刻 t_2' まではオン状態を保つ。この結果、ソースライン群 GS_1 のソースライン LS_n は、時刻 t_1' 乃至 t_2' の期間にわたって、ビデオライン LV_n に

接続されたローインピーダンス状態 $L I$ になり、ソースライン群 $G S 1$ のソースライン $L S n$ に、ビデオライン $L V n$ から対応する階調電圧が供給される。つまり、ソースライン群 $G S 2$ のソースライン $L 1$ が、時刻 $t 2$ において、ハイインピーダンス状態 $H I$ からローインピーダンス状態 $L I$ に完全に切り替わるまでの間、ソースライン群 $G S 1$ のソースライン $L S n$ にはビデオライン $L V n$ から対応する階調電圧が供給され続ける。従って、ソースライン群 $G S 2$ のソースライン $L 1$ がローインピーダンス状態 $L I$ になった瞬間に (時刻 $t 2$)、クロストークによってソースライン群 $G S 1$ のソースライン $L S n$ の電圧が変動しても、ソースライン群 $G S 1$ のソースライン $L S n$ の電圧は、瞬時に元の階調電圧に戻る。このようにして、クロストークによる画像劣化が防止される。尚、上記の遅延期間 $P d$ は、クロストークにより変動したソースライン $L S n$ 上の電圧が元の階調電圧に戻るには、ソースライン $L S n$ に対応する階調電圧をどのくらいの時間供給しなければならないのかという観点から決定すればよい。

また、時刻 $t 2'$ 乃至時刻 $t 3'$ の期間には、ビデオライン $L V n$ に、ソースライン群 $G S 2$ のソースライン $L S n$ 用の階調電圧が供給される。時刻 $t 2'$ において、制御信号 $2'$ はローレベル電圧からハイレベル電圧に変化するので、スイッチング回路 $C 2$ のスイッチング素子 $S W n$ はオフ状態からオン状態に変化する。ソースライン群 $G S 2$ のソースライン $L S n$ は、このオン状態のスイッチング素子 $S W n$ を通じてビデオライン $L V n$ に接続されたローインピーダンス状態 $L I$ になる。従って、ソースライン群 $G S 2$ のソースライン $L S n$ は、ビデオライン $L V n$ から対応する階調電圧が供給される。

他のソースライン群 $G S 3$ 乃至 $G S z$ にも、同様のやり方で、対応する階調電圧が供給される。従って、隣接するソースライン群の間でのクロストークによる画像劣化が防止される。

尚、図 5 に示す電圧供給装置 2 では、クロストークによる画像劣化を防止す

る目的で、ビデオライン LV_n に、他のビデオライン LV_1 乃至 LV_{n-1} に対して遅延期間 P_d だけ遅れて、対応する階調電圧が供給される。従って、最後のソースライン群 GS_z に階調電圧を供給する場合も、対応するスイッチング回路 C_z 内のスイッチング素子 SW_n を他のスイッチング素子 SW_1 乃至 SW_{n-1} よりも遅延期間 P_d だけ遅れてオン状態にする必要がある。このような理由から、図5に示す電圧供給装置2は、最後のスイッチング回路 C_z に対応して遅延回路 202_z を備え、最後のスイッチング回路 C_z のスイッチング素子を2つの制御信号 S_z 及び S_z' で制御している。従って、スイッチング回路 C_z では、スイッチング素子 SW_1 乃至 SW_{n-1} は時刻 t_{z+1} においてオン状態からオフ状態に変化するのに対して、スイッチング素子 SW_n は時刻 t_{z+1} よりも遅延期間 P_d だけ遅れた時刻 t_{z+1}' においてオン状態からオフ状態に変化する。ただし、最後のソースライン群 GS_z は、他のソースライン群 GS_1 乃至 GS_{z-1} と異なって、クロストークの原因となるソースライン群は存在しないので、スイッチング回路 C_z では、スイッチング素子 SW_n を他のスイッチング素子 SW_1 乃至 SW_{n-1} と同じ時刻 t_{z+1} においてオン状態からオフ状態に変化させてもよい。

また、図5の電圧供給装置2では、シフトレジスタ21から出力される制御信号を利用してスイッチング素子 SW_n を制御するための制御信号 S_1' 、 S_2' 、...を生成している。しかしながら、これら制御信号 S_1' 、 S_2' 、...は、シフトレジスタ21から出力される信号を利用して生成する必要は無い。スイッチング素子 SW_n をその他のスイッチング素子 SW_1 乃至 SW_{n-1} に対して独立に制御できるのであれば、スイッチング素子 SW_n を制御するための制御信号 S_1' 、 S_2' 、...は、どのようなやり方で生成してもよい。

尚、上記の第1及び第2実施形態では、本発明の電圧供給装置を画像表示装置に適用しているが、本発明の電圧供給装置は、クロストークによりライン上の電圧が所望の電圧からずれてしまうことを防止する必要がある装置であれば、

画像表示装置以外にも適用できることに注意されたい。

産業上の利用の可能性

- クロストークによりライン上の電圧が所望の電圧からずれてしまうことを防
- 5 止する必要がある装置、例えば液晶表示装置等の画像表示装置に利用することが
ができる。

請求の範囲

1. 互いに隣接する一対の電圧ラインと、

5 前記一対の電圧ラインのうち的一方の電圧ラインへの電圧の供給が停止された状態から前記一方の電圧ラインに電圧が供給された状態に遷移する間、前記一対の電圧ラインのうち他方の電圧ラインに電圧を供給し続けるための制御手段とを有することを特徴とする電圧供給装置。

2. 第1の中継ラインと、

10 第2の中継ラインと、

前記第1の中継ラインを通じて電圧が供給される第1の電圧ラインと、

前記第2の中継ラインを通じて電圧が供給される第2の電圧ラインと、

前記第2の電圧ラインに隣接し、前記第1の中継ラインを通じて電圧が供給される第3の電圧ラインと、

15 前記第1の電圧ラインに電圧が供給された第1の電圧供給状態から、前記第3の電圧ラインに電圧が供給された第2の電圧供給状態に遷移する間、前記第2の電圧ラインに電圧を供給し続ける制御手段とを有することを特徴とする電圧供給装置。

20 3. 前記制御手段が、前記第1の中継ラインに前記第1の電圧ライン用の電圧を供給した後に前記第3の電圧ライン用の電圧を供給し、

前記制御手段が、前記第1の中継ラインに前記第1の電圧ライン用の電圧が供給された状態から前記第1の中継ラインに前記第3の電圧ライン用の電圧が供給された状態に遷移する間、前記第2の中継ラインに前記第2の電圧ライン

25 用の電圧を供給し続けることを特徴とする請求項2に記載の電圧供給装置。

4. 前記制御手段が、前記第3の電圧ラインが前記第1の中継ラインから切り離された切断状態を、前記第3の電圧ラインが前記第1の中継ラインに接続された接続状態に切り替えるように構成され、

5 前記制御手段が、前記第3の電圧ラインが前記第1の中継ラインから切り離された切断状態から、前記第3の電圧ラインが前記第1の中継ラインに接続された接続状態に遷移する間、前記第2の中継ラインを通じて前記第2の電圧ラインに電圧を供給し続けることを特徴とする請求項3に記載の電圧供給装置。

5. 前記制御手段が、前記第2の電圧ラインが前記第2の中継ラインから切り離された切断状態を、前記第2の電圧ラインが前記第2の中継ラインに接続された接続状態に切り替えるようにも構成され、

前記制御手段が、前記第3の電圧ラインが前記第1の中継ラインから切り離された切断状態から、前記第3の電圧ラインが前記第1の中継ラインに接続された接続状態に遷移する間、前記第2の電圧ラインが前記第2の中継ラインに
15 接続された接続状態を保つことを特徴とする請求項4に記載の電圧供給装置。

6. 前記制御手段が、

前記第1の電圧ラインが前記第1の中継ラインに接続された接続状態と、前記第1の電圧ラインが前記第1の中継ラインから切り離された切断状態とを含む少なくとも2つの状態の間で切替えを行うための第1のスイッチング手段と、
20

前記第2の電圧ラインが前記第2の中継ラインに接続された接続状態と、前記第2の電圧ラインが前記第2の中継ラインから切り離された切断状態とを含む少なくとも2つの状態の間で切替えを行うための第2のスイッチング手段と、

前記第3の電圧ラインが前記第1の中継ラインに接続された接続状態と、前記第3の電圧ラインが前記第1の中継ラインから切り離された切断状態とを含む少なくとも2つの状態の間で切替えを行うための第3のスイッチング手段と
25

を有し、

前記制御手段が、

- 5 前記第1の電圧ラインが前記第1の中継ラインに接続され且つ前記第3の電圧ラインが前記第1の中継ラインから切り離された第1の状態から、前記第1の電圧ラインが前記第1の中継ラインから切り離され且つ前記第3の電圧ラインが前記第1の中継ラインに接続された第2の状態に遷移する間、前記第2の電圧ラインが前記第2の中継ラインに接続された接続状態が保たれるように、前記第1、第2及び第3のスイッチング手段を制御するスイッチング制御手段を有することを特徴とする請求項5に記載の電圧供給装置。

10

7. 前記第1のスイッチング手段が、オン状態において前記第1の電圧ラインを前記第1の中継ラインに接続し、オフ状態において前記第1の電圧ラインを前記第1の中継ラインから切り離し、

- 15 前記第2のスイッチング手段が、オン状態において前記第2の電圧ラインを前記第2の中継ラインに接続し、オフ状態において前記第2の電圧ラインを前記第2の中継ラインから切り離し、

前記第3のスイッチング手段が、オン状態において前記第3の電圧ラインを前記第1の中継ラインに接続し、オフ状態において前記第3の電圧ラインを前記第1の中継ラインから切り離し、

- 20 前記スイッチング制御手段が、前記第1のスイッチング手段がオン状態からオフ状態に遷移し且つ前記第3のスイッチング手段がオフ状態からオン状態に遷移する間、前記第2のスイッチング手段がオン状態を保つように、前記第1、第2及び第3のスイッチング手段を制御することを特徴とする請求項6に記載の電圧供給装置。

25

8. 前記スイッチング制御手段が、前記第1のスイッチング手段を制御する

ための第1の制御信号と、前記第2のスイッチング手段を制御するための第2の制御信号と、前記第3のスイッチング手段を制御するための第3の制御信号とを出力し、

- 前記第1の制御信号は、前記第1のスイッチング手段をオン状態にするための第1のオン電圧とオフ状態にするための第1のオフ電圧とを有し、

前記第2の制御信号は、前記第2のスイッチング手段をオン状態にするための第2のオン電圧とオフ状態にするための第2のオフ電圧とを有し、

前記第3の制御信号は、前記第3のスイッチング手段をオン状態にするための第3のオン電圧とオフ状態にするための第3のオフ電圧とを有し、

- 10 前記スイッチング制御手段が、前記第1の制御信号が前記第1のオン電圧から前記第1のオフ電圧に遷移するとき、前記第3の制御信号が前記第3のオフ電圧から前記第3のオン電圧に遷移するように、前記第1及び第3の制御信号を出力し、

- 15 前記スイッチング制御手段が、更に、前記第3の制御信号が前記第3のオフ電圧から前記第3のオン電圧に遷移する間、前記第2の制御信号が前記第2のオン電圧を有するように前記第2の制御信号を出力することを特徴とする請求項7に記載の電圧供給装置。

9. 前記スイッチング手段制御手段が、前記第1の制御信号と前記第3の制御信号との論理和の演算を行い、前記論理和を表す信号を前記第2の制御信号として出力するOR回路を有することを特徴とする請求項8に記載の電圧供給装置。

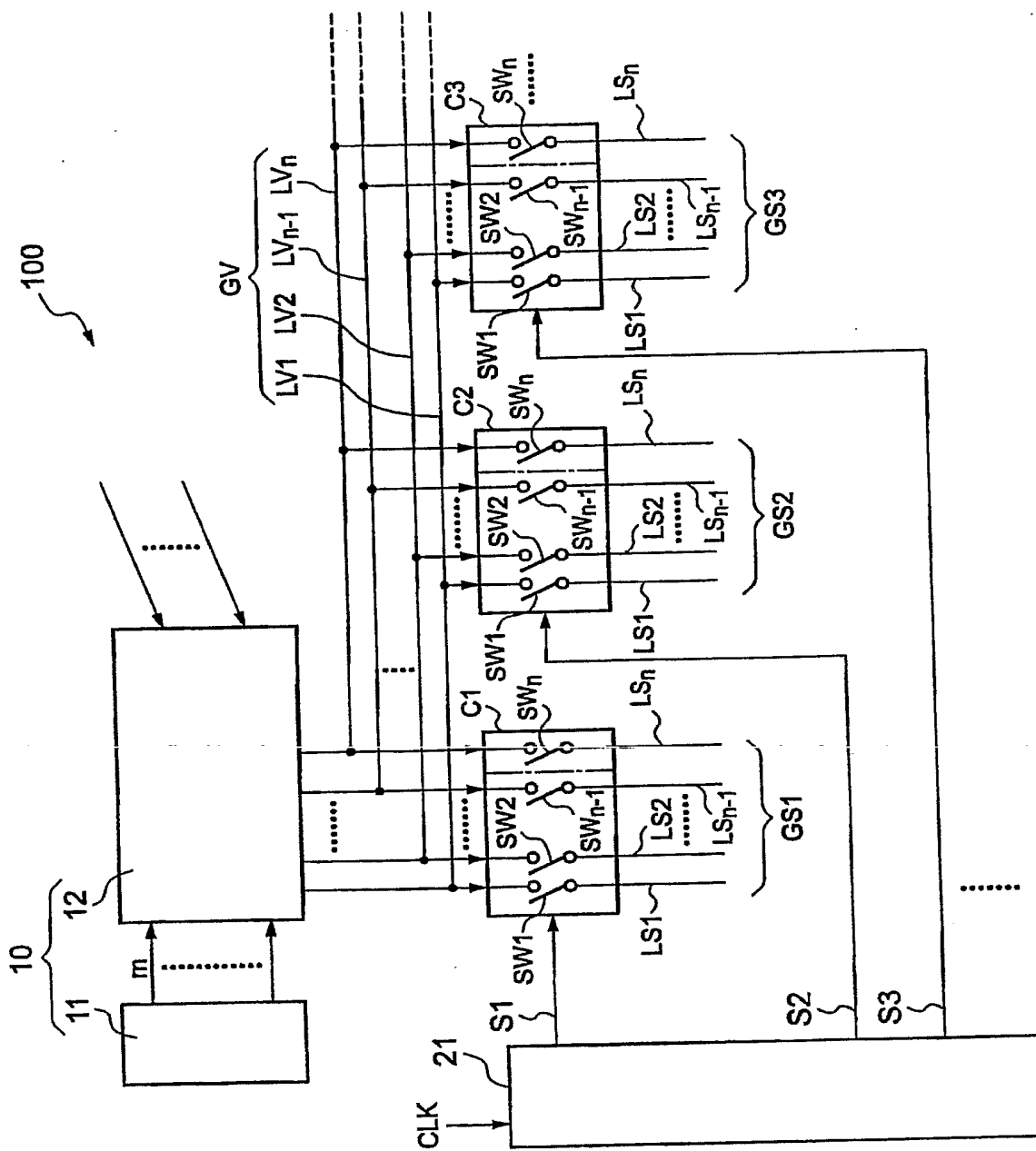
10. 前記スイッチング手段制御手段が、前記第1の制御信号を遅延させ、前記遅延した第1の制御信号を前記第2の制御信号として出力する遅延回路を有することを特徴とする請求項8に記載の電圧供給装置。

- 1 1. 前記電圧供給装置が、
追加の中継ラインと、
前記第 1 の電圧ラインと前記第 2 の電圧ラインとを有する第 1 の電圧ライン群と、
- 5 前記第 3 の電圧ラインと前記追加の中継ラインを通じて電圧が供給される第 4 の電圧ラインとを有する第 2 の電圧ライン群とを備えることを特徴とする請求項 2 乃至 9 のうちのいずれか 1 項に記載の電圧供給装置。
- 1 2. 前記電圧供給装置が、前記第 4 の電圧ラインに隣接し且つ前記第 1 の
10 中継ラインを通じて電圧が供給される第 5 の電圧ラインを有し、
前記制御手段が、前記第 1 の中継ラインを通じて前記第 3 の電圧ラインに電圧が供給されている状態から前記第 1 の中継ラインを通じて前記第 5 の電圧ラインに電圧が供給されている状態に遷移している間、前記追加の中継ラインを通じて前記第 4 の電圧ラインに電圧を供給し続けることを特徴とする請求項 1
15 1 に記載の電圧供給装置。
- 1 3. 第 1 の中継ラインと、
第 2 の中継ラインと、
前記第 1 の中継ラインを通じて電圧が供給される第 1 の電圧ラインと、
20 前記第 2 の中継ラインを通じて電圧が供給される第 2 の電圧ラインと、
前記第 2 の電圧ラインに隣接し、前記第 1 の中継ラインを通じて電圧が供給される第 3 の電圧ラインと、
前記第 2 の電圧ラインに電圧が供給されている間、前記第 1 の電圧ラインに電圧が供給された第 1 の電圧供給状態から、前記第 3 の電圧ラインに電圧が供給
25 された第 2 の電圧供給状態に切り替える制御手段とを有することを特徴とする電圧供給装置。

要 約 書

- ビデオライン (LV1) と、ビデオライン (LVn) と、ビデオライン (LV1) を通じて階調電圧が供給されるソースライン群 (GS1) のソースライン (LS1) と、ビデオライン (LVn) を通じて階調電圧が供給されるソースライン群 (GS1) のソースライン (LSn) と、ソースライン群 (GS1) のソースライン (LSn) に隣接し、ビデオライン (LV1) を通じて電圧が供給されるソースライン群 (GS2) のソースライン (LS1) と、ソースライン群 (GS1) のソースライン (LS1) に電圧が供給された状態から、ソースライン群 (GS2) のソースライン (LS1) に電圧が供給された状態に移る間、ソースライン群 (GS1) のソースライン (LSn) に電圧を供給し続ける制御手段とを有する電圧供給装置 (1)。

図 1



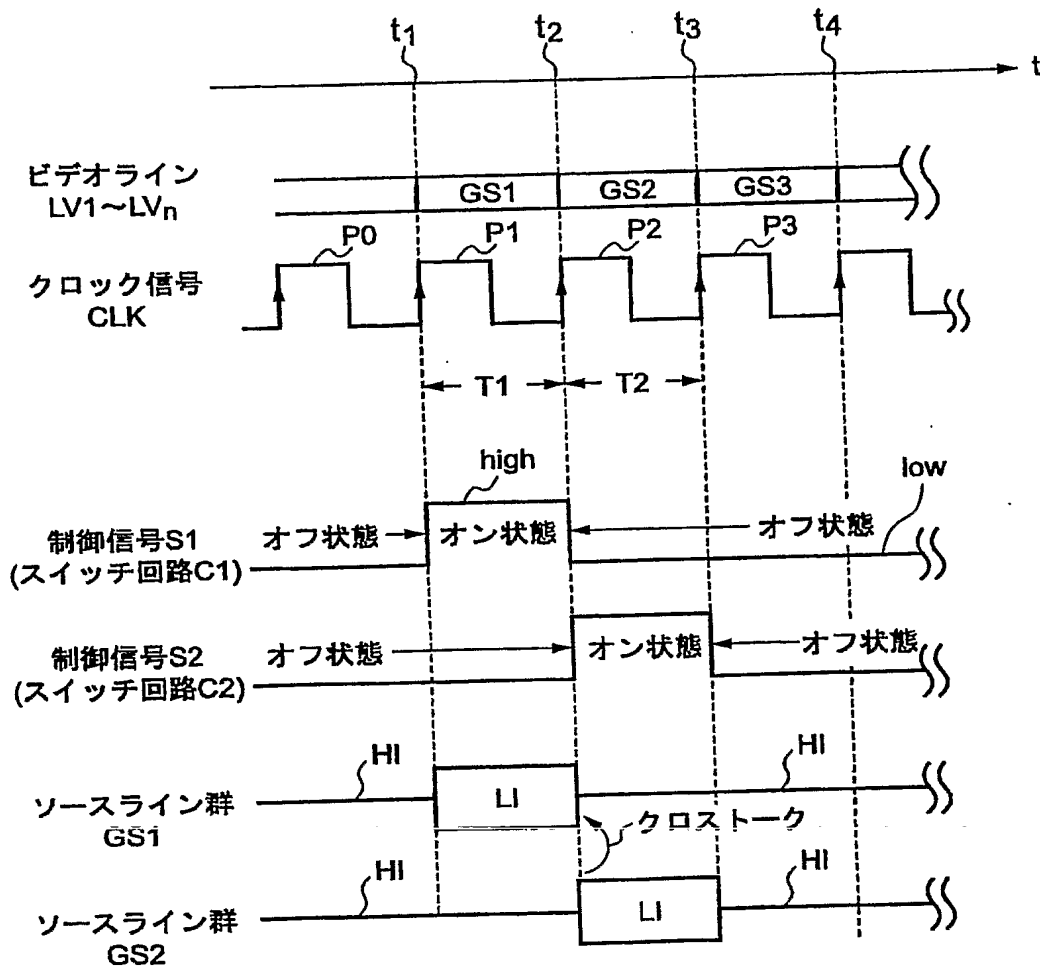
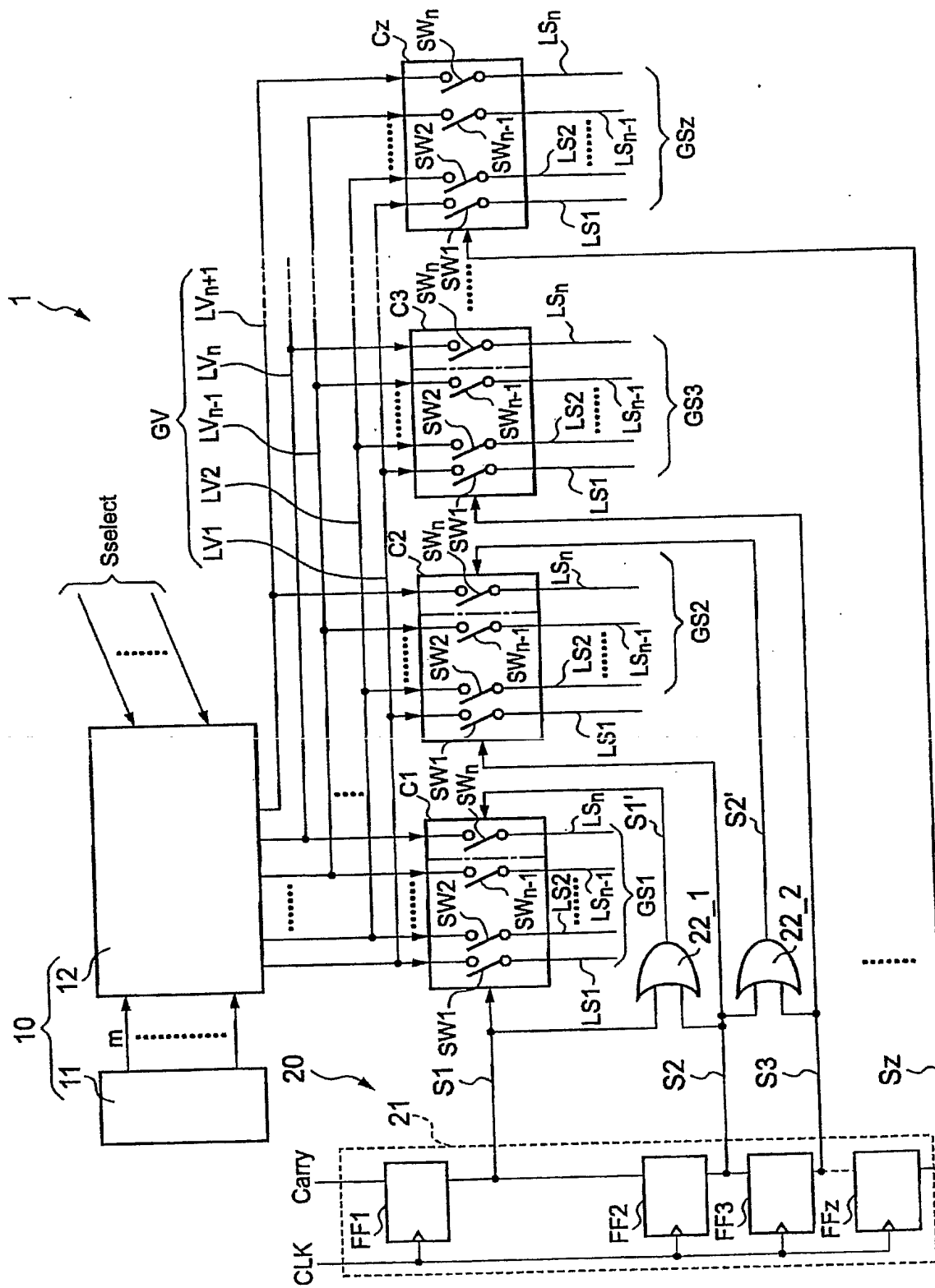


図 2



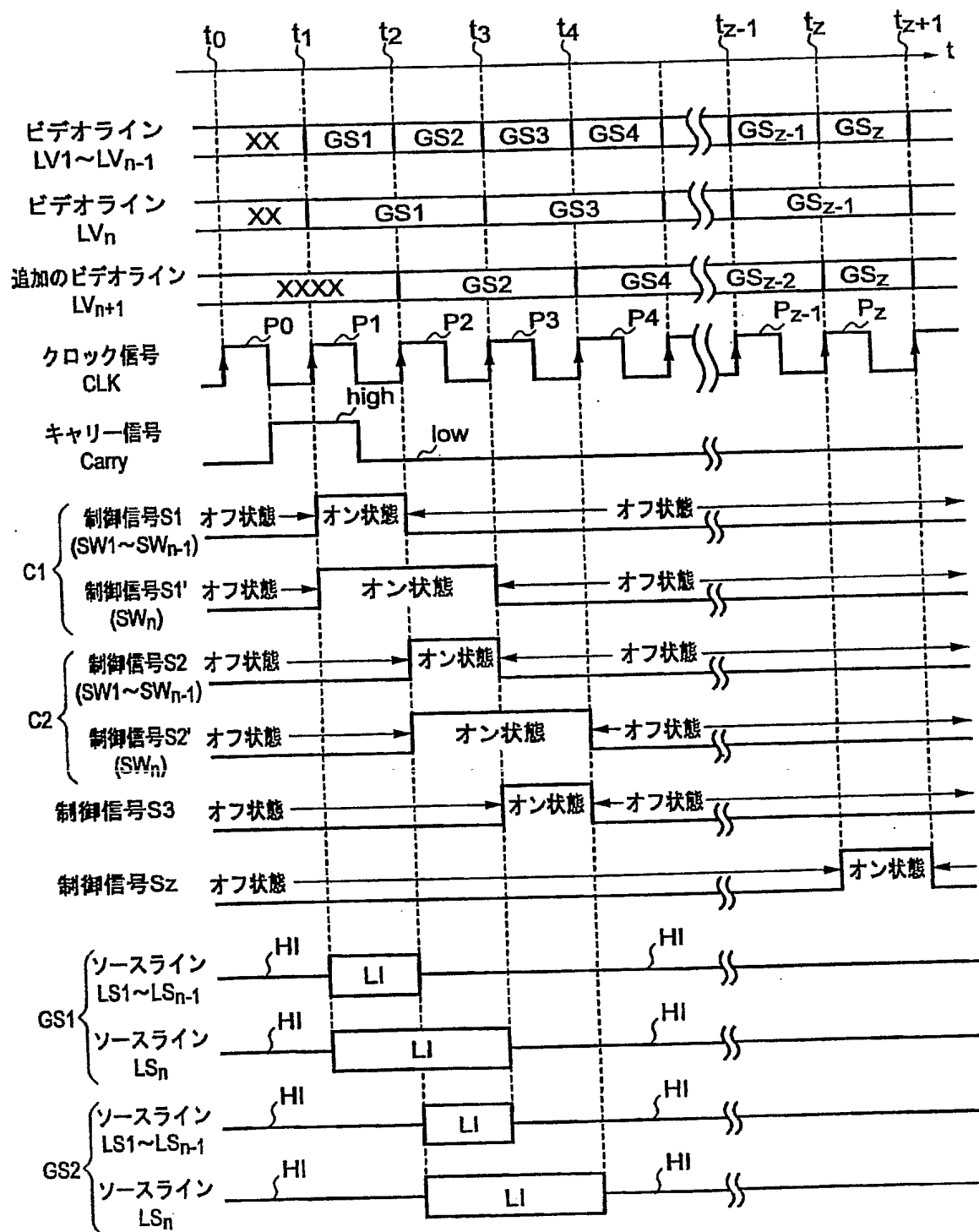
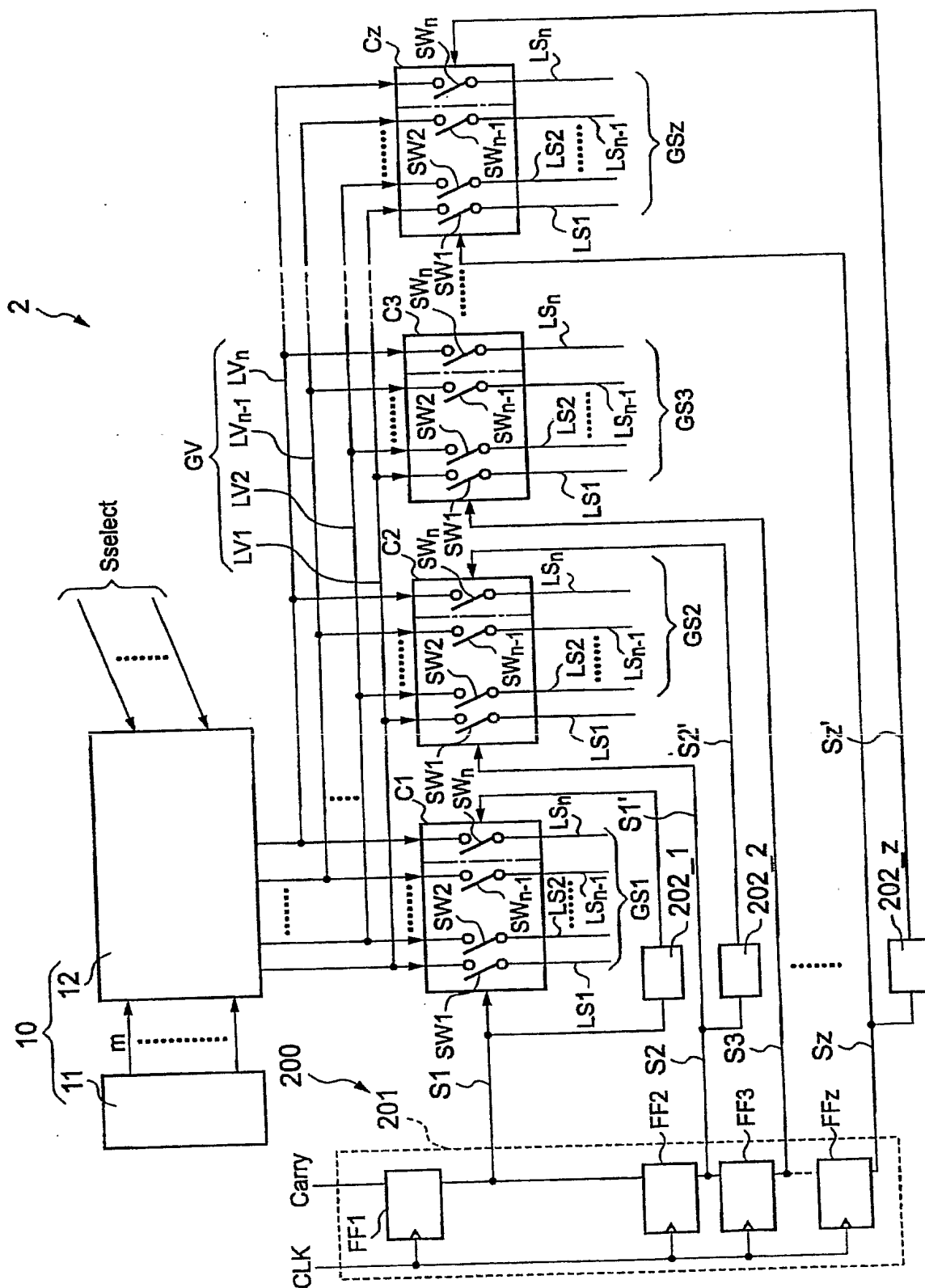


図 4



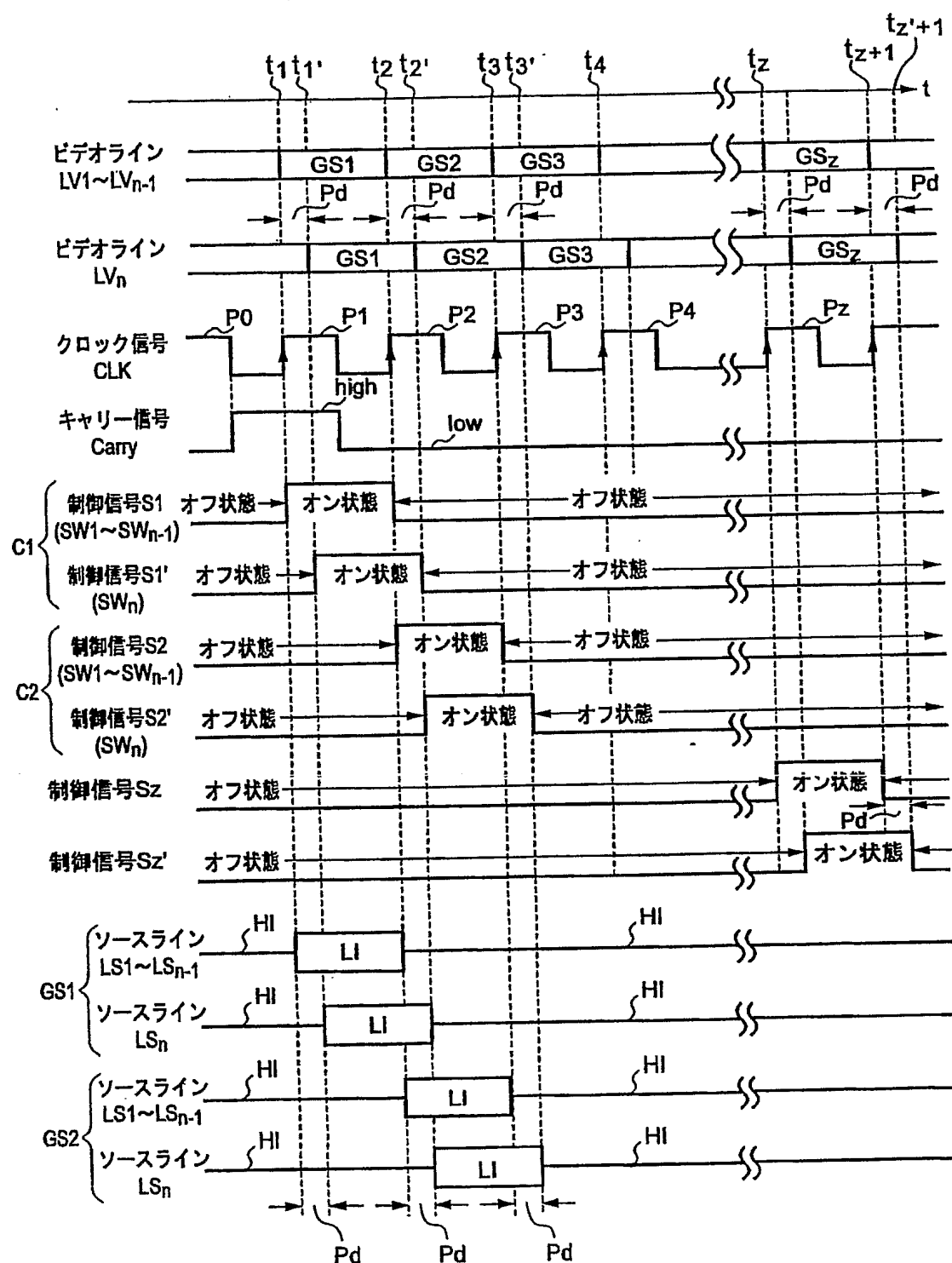


図 6